

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-064830

(43)Date of publication of application : 08.03.1996

(51)Int.Cl.

H01L 29/786
G02F 1/136
H01L 21/336

(21)Application number : 06-200602

(71)Applicant : SHARP CORP

(22)Date of filing : 25.08.1994

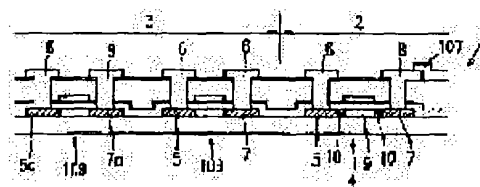
(72)Inventor : ISHIGURO KENICHI

(54) ACTIVE MATRIX SUBSTRATE AND METHOD OF FABRICATION THEREOF

(57)Abstract:

PURPOSE: To fabricate an active matrix substrate without increasing processes of fabrication, the substrate being composed of a high mobility TFT and a TFT having a satisfactory OFF characteristics in the same substrate.

CONSTITUTION: A picture element TFT 4 is provided on a display 2 on an active matrix substrate 1, connected with a picture element electrode 107 arranged in a matrix form. There are further provided a data signal output circuit and a scanning circuit as a drive circuit part 3 on the active matrix substrate 1. An LDD region 10 to which boron and phosphorus are added is formed on the picture element TFT 4 in contact with a source region 5 and a drain region 7. The LDD region 10 can be formed with a phosphorus ion doping process and a boron ion doping process for forming a CMOS constituting the data signal output circuit and the scanning circuit without increasing fabrication processes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-64830

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
G 0 2 F 1/136	5 0 0			
H 0 1 L 21/336		9056-4M	H 0 1 L 29/ 78	6 1 2 B
		9056-4M		6 1 6 L
審査請求 未請求 請求項の数4 O L (全 8 頁)				

(21) 出願番号 特願平6-200602

(22) 出願日 平成6年(1994)8月25日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 石黒 謙一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

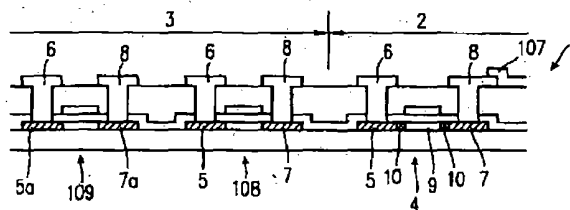
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 アクティブマトリクス基板およびその製造方法

(57) 【要約】

【目的】 同一基板内に高移動度のTFTと良好なOFF特性を有するTFTとが形成されたアクティブマトリクス基板を製造工程を増加させることなく作成する。

【構成】 アクティブマトリクス基板1上の表示部2には、マトリクス状に配設された画素電極107に接続されて画素TFT4が設けられている。また、アクティブマトリクス基板1上の駆動回路部3としてデータ信号出力回路および走査回路が形成されている。画素TFT4にはソース領域5およびドレイン領域7に接してボロンおよびリンが添加されたLDD領域10が形成されている。このLDD領域10は、データ信号出力回路および走査回路を構成するCMOSを形成するためのリンイオン注入工程およびボロンイオン注入工程により製造工程を増加させることなく形成することができる。



1

【特許請求の範囲】

【請求項1】 表示部にマトリクス状に表示用の画素電極が配設され、各画素電極へのデータ信号入力を制御する画素スイッチング素子が各画素電極に接続して設けられ、各画素スイッチング素子をオンオフ制御する走査信号用駆動回路部と、各画素スイッチング素子を介して画素電極へデータ信号を出力するデータ信号用駆動回路部とが設けられたアクティブマトリクス基板において、該走査信号用駆動回路およびデータ信号用駆動回路のスイッチング素子と該画素スイッチング素子が、ソース領域およびドレイン領域にリンが不純物添加された第1のトランジスタと、ソース領域およびドレイン領域にボロンが不純物添加された第2のトランジスタと、リンまたはボロンが添加されたソース領域およびドレイン領域のうち少なくとも一方のチャネル領域側に隣接してリンおよびボロンが添加された領域が設けられた第3のトランジスタとを有するアクティブマトリクス基板。

【請求項2】 前記第3のトランジスタがN型電界効果型トランジスタまたはP型電界効果型トランジスタである請求項1記載のアクティブマトリクス基板。

【請求項3】 前記トランジスタの半導体層が、移動度 $\mu \geq 5 \text{ cm}^2/\text{V} \cdot \text{s}$ の多結晶シリコン、単結晶シリコン、サファイアおよびダイヤモンドのうちいずれかからなる基板または薄膜で構成されている請求項1または2記載のアクティブマトリクス基板。

【請求項4】 請求項1記載のアクティブマトリクス基板の製造方法において、前記リンが添加されるソース領域およびドレイン領域と、前記リンおよびボロンが添加される領域とにリンを含むイオン化された不純物を注入する工程と、前記ボロンが添加されるソース領域およびドレイン領域と、該リンおよびボロンが添加される領域とにボロンを含むイオン化された不純物を注入する工程とを含むアクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス駆動方式の液晶表示装置などに用いられるドライバモノリシック型のアクティブマトリクス基板およびその製造方法に関する。

【0002】

【従来の技術】 近年、液晶表示装置を初めとする平面ディスプレイなどの画像表示素子への応用を目的として薄膜トランジスタ（以下TFTという）の開発が行われ、特に、多結晶シリコンTFTを用いて表示部と駆動回路部とを同一基板に形成したドライバモノリシックパネルの開発が活発に行われている。

【0003】 以下、図5～図9を用いて従来のアクティブマトリクス基板の液晶表示装置への応用例を説明する。

2

【0004】 図5は従来のドライバモノリシック型のアクティブマトリクス基板を示す平面図であり、図6は図5の表示部101における1画素部分の拡大図であり、図7はデータ出力回路部102と走査回路部103に用いられる相補回路部の部分拡大図である。図8は図6の電氣的等価回路図であり、図9は図7の電氣的等価回路図である。

【0005】 図5～図9において、基板上に表示部101が形成され、この表示部101の周辺に駆動回路部としてデータ出力回路部102および走査回路部103が形成されている。これらデータ出力回路部102および走査回路部103にはそれぞれ、データ信号線104および走査信号線105がそれぞれ接続されている。表示部101には、相互に平行な複数のデータ信号線104と、相互に平行な複数の走査信号線105とが交差して形成されている。各交差部近傍には画素TFT106としてNチャンネル型TFTまたはPチャンネル型TFTが形成され、各画素TFT106には画素電極107が接続されており、走査回路部103からの走査信号により画素TFT106が駆動してデータ信号線104からのデータ信号電圧が画素電極107に印加される。

【0006】 また、このデータ出力回路部102および走査回路部103の出力部などに用いられる相補回路は、図7に示すように、左右のラインからの信号のうちいずれかを出力するための主としてNチャンネル型TFT108とPチャンネル型TFT109とを相補型に設けたCMOSから構成されており、回路のスピードアップおよび低消費電力化が図られている。

【0007】 このアクティブマトリクス基板と対向電極が形成された対向基板とを貼り合わせ、その間に液晶材料を封入して作成される液晶パネルにおいては、画素電極と対向電極との間に印加される電圧を制御して液晶を駆動することにより、液晶の有する電気光学特性を利用して画像表示を実現することができる。

【0008】

【発明が解決しようとする課題】 上記従来のアクティブマトリクス基板において、駆動回路部であるデータ出力回路部102および走査回路部103に形成されるTFT108、109には高移動度が要求されるので、TFTの半導体層としては多結晶シリコンや単結晶シリコンが用いられる。ところが、表示部101に形成される画素TFT106には低OFF電流が要求されるので、TFTの半導体層として多結晶シリコンや単結晶シリコンを用いた場合には画素TFT106のOFF特性を改善する必要がある。

【0009】 従来、TFTのOFF特性を改善するための技術として、図10に示すようなライトドープドレイン（以下LDDという）構造が知られている。このTFTは、基板110上に、両端部のソース領域111およびドレイン領域112と、さらに内側に設けられたLD

D領域113、113と、これらLDD領域113、113の間のチャンネル領域114とを有する半導体層115が形成されている。その上に基板110および半導体層115のほぼ全面を覆うようにゲート絶縁膜116が形成され、その上に、チャンネル領域114と対向するようにゲート電極7が形成されている。このゲート電極117を覆って基板110のほぼ全面に層間絶縁膜118が形成され、その上にソース電極119およびドレイン電極120がそれぞれ形成されて、ゲート絶縁膜116および層間絶縁膜118に形成されたコンタクトホール121をそれぞれ介してソース領域111およびドレイン領域112とそれぞれ電気的に接続されている。このようにしてLDD構造のTFTが構成される。

【0010】しかし、従来より知られている製造方法では、LDD領域113を形成するためにマスク形成工程などの製造工程が増加し、歩留りが低下するという問題があった。

【0011】一方、特開平5-21801号公報や特開平5-21460号公報には、ソース領域やドレイン領域に高抵抗なオフセット領域を形成する方法が開示されている。また、特公平2-61032号公報には、表示部と駆動回路部とで移動度が異なるTFTを形成し、高移動度が要求される駆動回路部のみに高移動度のTFTを形成する方法が開示されている。しかし、特開平5-21801号公報や特開平5-21460号公報に開示されている方法では、高抵抗なオフセット領域を形成するために、また、特公平2-61032号公報に開示されている方法では、高移動度が要求される部分と要求されない部分とを分離して半導体層を形成するために、いずれの方法も製造工程が増加して歩留りが低下するという問題があった。

【0012】本発明は、上記従来の問題を解決するもので、高移動度の電界効果型トランジスタと良好なOFF特性を有する電界効果型トランジスタとを製造工程の増加や歩留りの低下を来すことなく得ることができるアクティブマトリクス基板およびその製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明のアクティブマトリクス基板は、表示部にマトリクス状に表示用の画素電極が配設され、各画素電極へのデータ信号入力を制御する画素スイッチング素子が各画素電極に接続して設けられ、各画素スイッチング素子をオンオフ制御する走査信号用駆動回路部と、各画素スイッチング素子を介して画素電極へデータ信号を出力するデータ信号用駆動回路部とが設けられたアクティブマトリクス基板において、該走査信号用駆動回路およびデータ信号用駆動回路のスイッチング素子と該画素スイッチング素子が、ソース領域およびドレイン領域にリンが不純物添加された第1のトランジスタと、ソース領域およびドレイン領域にボロン

が不純物添加された第2のトランジスタと、リンまたはボロンが添加されたソース領域およびドレイン領域のうち少なくとも一方のチャンネル領域側に隣接してリンおよびボロンが添加された領域が設けられた第3のトランジスタとを有するものであり、そのことにより上記目的が達成される。また、このリンおよびボロンが添加された領域が、チャンネル領域と、該ソース領域およびドレイン領域のうちいずれか一方との間にのみ形成されていてもよい。

10 【0014】また、本発明のアクティブマトリクス基板において、ソース領域およびドレイン領域にリンまたはボロンが添加され、チャンネル領域側の該ソース領域およびドレイン領域の少なくとも一方に隣接してリンおよびボロンが添加された領域が形成された第3のトランジスタは、N型電界効果型トランジスタであってもよく、P型電界効果型トランジスタであってもよい。

20 【0015】さらに、本発明のアクティブマトリクス基板において、トランジスタの半導体層は、移動度 $\mu \geq 5 \text{ cm}^2/\text{V} \cdot \text{s}$ の多結晶シリコン、単結晶シリコン、サファイアおよびダイヤモンドのうちいずれかからなる基板または薄膜から構成されているのが望ましい。

30 【0016】また、本発明のアクティブマトリクス基板の製造方法は、請求項1記載のアクティブマトリクス基板の製造方法において、前記リンが添加されるソース領域およびドレイン領域と、前記リンおよびボロンが添加される領域とにリンを含むイオン化された不純物を注入する工程と、前記ボロンが添加されるソース領域およびドレイン領域と、該リンおよびボロンが添加される領域とにボロンを含むイオン化された不純物を注入する工程とを含み、そのことにより上記目的が達成される。

【0017】

40 【作用】本発明においては、走査信号用駆動回路およびデータ信号用駆動回路のスイッチング素子と画素スイッチング素子が、ソース領域およびドレイン領域にリンが添加された電界効果型トランジスタと、ソース領域およびドレイン領域にボロンが添加された電界効果型トランジスタと、ソース領域およびドレイン領域にリンまたはボロンが添加され、そのソース領域およびドレイン領域の少なくとも一方に隣接してリンおよびボロンが添加された領域が形成された電界効果型トランジスタとから構成されている。

50 【0018】このソース領域およびドレイン領域の少なくとも一方に隣接してリンおよびボロンが添加された領域は、そのリンの添加量とボロンの添加量とによって、高抵抗なオフセット領域またはLDD領域のいずれかとなる。オフセット領域はリンとボロンの添加量が等しく真性半導体となっており、LDD領域はリンとボロンの添加量が等しくなくドーバンドが残っている、即ち、キャリアが存在している。いずれにせよ、電荷を通しにくくしたLDD領域やオフセット領域が形成された電界効

果型トランジスタは、OFF特性を改善することができる。

【0019】上記リンおよびボロンが添加された領域は、ソース領域およびドレイン領域にリンが添加された電界効果型トランジスタを形成するためにソース領域およびドレイン領域にリンを含むイオン化された不純物を注入する工程でリンを注入し、ソース領域およびドレイン領域にボロンが添加された電界効果型トランジスタを形成するためにボロンを含むイオン化された不純物を注入する工程でボロンを注入することにより形成することができる。駆動回路部にCMOSを有するアクティブマトリクス基板の製造においては両方の注入工程を行うので、製造工程数を増加させる必要は無い。

【0020】ソース領域およびドレイン領域の少なくとも一方に隣接してリンおよびボロンが添加された領域が形成された電界効果型トランジスタは、ソース領域およびドレイン領域にリンを添加したN型電界効果型トランジスタであってもよく、ボロンを添加したP型電界効果型トランジスタであってもよい。

【0021】また、リンおよびボロンが添加された領域は、ソース領域およびドレイン領域の一方のみに隣接して形成されていてもよい。この場合、リンおよびボロンが添加された領域が片方であれば、それだけ領域を確保する必要がなくなり、素子が小さくなる。

【0022】電界効果型トランジスタの半導体層を、移動度 $\mu \geq 5 \text{ cm}^2/\text{V} \cdot \text{s}$ の多結晶シリコン、単結晶シリコン、サファイアまたはダイヤモンドからなる基板または薄膜を用いて形成すると、データ出力回路などの構成が簡単になる。

【0023】

【実施例】以下、本発明の実施例について説明する。なお、以下の各実施例において、従来例と同様の機能を有する部分については同一の番号を用いてその説明を省略する。

【0024】（実施例1）図1は本発明の実施例1であるドライバモノリシック型のアクティブマトリクス基板の断面図である。図2は図1の表示部の1画素部分の拡大平面図である。図1および図2において、アクティブマトリクス基板1には、表示部2が形成され、また、その表示部2の周辺に駆動回路部3としてデータ出力回路102および走査回路103が形成されている。この表示部2には、相互に平行な複数のデータ信号線104と、相互に平行な複数の走査信号線105とが交差して形成されている。各交差点近傍には画素TFT4が形成され、ソース領域5はソース電極6によりデータ信号線104と接続され、ドレイン領域7はドレイン電極8により画素電極107と接続されている。この画素TFT4はソース領域5およびドレイン領域7にリンが添加されてNチャンネル型TFTとなっており、両端部のソース領域5およびドレイン領域7と中央部のチャネル領域

9との間にはソース領域5およびドレイン領域7に接して、リンとボロンとが添加されたLDD領域10がそれぞれ形成されている。

【0025】また、データ信号線104および走査信号線105にそれぞれ接続されているデータ出力回路部102および走査回路部103の駆動回路部3は、主としてNチャンネル型TFT108とPチャンネル型TFT109とを相補型に設けたCMOSから構成されており、回路のスピードアップ化および低消費電力化が図られている。

【0026】このアクティブマトリクス基板1は、以下のようにして作成することができる。

【0027】まず、図3(a)に示すように、ガラス基板または絶縁膜が表面に形成された絶縁性基板11上に、50nmの半導体層12を形成する。この半導体層12としては、多結晶シリコン、単結晶シリコン、サファイア、ダイヤモンドなど、種々のものを用いることができるが、移動度 $\mu \geq 5 \text{ cm}^2/\text{V} \cdot \text{s}$ の多結晶シリコン、単結晶シリコン、サファイアまたはダイヤモンドからなる薄膜を用いるとデータ出力回路などの駆動回路部3の構成を簡単にすることができるので好ましい。この移動度 μ の下限 $5 \text{ cm}^2/\text{V} \cdot \text{s}$ は、本発明者等が回路設計に関してシミュレーションを行った結果、定められたものである。このシミュレーションによれば、移動度 μ をアモルファスシリコンを用いたアクティブ素子における上限値付近の値である $\mu = 5 \text{ cm}^2/\text{V} \cdot \text{s}$ 以上にしたときに、以下のような良好な結果が得られた。アクティブ素子の移動度 μ が $5 \text{ cm}^2/\text{V} \cdot \text{s}$ 以上であると、画素部TFT4や回路を構成する素子のサイズを小さくすることができるので、歩留り低下や開口率の低下などの問題が生じない。

【0028】次に、その上にゲート絶縁膜13として絶縁性基板11および半導体層12のはほぼ全面に厚み100nmの SiO_2 膜を形成し、さらに、その上に厚み300nmのAlよりなる走査信号線105および走査信号線105から分岐されたゲート電極14を形成する。このゲート電極14は半導体層12の中央部上方にゲート絶縁膜13を介して形成されている。

【0029】さらに、図3(b)に示すように、フォトリソレジストを用いてリンを注入する部分を開口させたドーピングマスク15を形成し、リンを含むイオン化された不純物を加速電圧90keV、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ で注入する。この注入工程によりNチャンネルTFT108および画素TFT4のソース領域5およびドレイン領域7にリンが注入され、PチャンネルTFT109のソース領域5aおよびドレイン領域7aとなる領域にはリンが注入されない。また、ゲート電極4の下の方の半導体層2は、リンが注入されずにTFTのチャネル領域9となる。

【0030】次に、図3(c)に示すように、フォトレ

ジストを用いてボロンを注入する部分を開口させたドーピングマスク16を形成し、ボロンを含むイオン化された不純物を加速電圧65 keV、ドーズ量 $6.5 \times 10^{15} \text{ cm}^{-2}$ で注入する。この注入工程によりPチャンネルTFT109および画素TFT4のLDD領域10にボロンが注入され、NチャンネルTFT108および画素TFT4のソース領域5およびドレイン領域7にはボロンが注入されない。また、ゲート電極4の下の半導体層2は、ボロンが注入されずにTFTのチャンネル領域9となる。

【0031】その後、図3(d)に示すように、厚み400 nmの SiN_x により層間絶縁膜17を形成し、ゲート絶縁膜13および層間絶縁膜17の所定部分を除去してソース領域5、5aおよびドレイン領域7、7aに達するようにコンタクトホール18を形成する。その上に、厚み500 nmによりソース電極6およびドレイン電極8を形成する。さらに、表示部2には、厚み100 nmのITOからなる画素電極107をドレイン電極8に接続して形成する。

【0032】このようにして得られたアクティブマトリクス基板1においては、画素TFT4のソース領域5およびドレイン領域7に接してLDD領域10が形成されているので、駆動回路部3のTFT108、109を高移動度化しても画素TFT4のオフ特性を良好なものにすることができた。また、このLDD領域10の形成は、駆動回路部3のCMOS形成のための2回の注入工程により行うことができるので、製造工程を増加させずにアクティブマトリクス基板1を作成することができた。

【0033】(実施例2)この実施例2では、図4(f)に示すように、画素TFT4aのソース領域5のみに接するようにLDD領域10を形成した。このアクティブマトリクス基板1aは、ボロンを含むイオン化された不純物の注入工程以外は実施例1のアクティブマトリクス基板1と同様にして作成することができる。この場合、リンおよびボロンが添加されたLDD領域10が片側であるので、それだけ領域を確保する必要がなくなり、素子が小さくなる。

【0034】まず、実施例1と同様にして半導体層12、ゲート絶縁膜13およびゲート電極14を形成し、図4(b)に示すようにリンを含むイオン化された不純物を注入する。

【0035】次に、図4(e)に示すように、フォトリジストを用いてボロンを注入する部分を開口させたドーピングマスク16aを形成し、ボロンを含むイオン化された不純物を加速電圧65 keV、ドーズ量 $6.5 \times 10^{15} \text{ cm}^{-2}$ で注入する。この注入工程によりPチャンネルTFT109のソース領域5aおよびドレイン領域7a、および画素TFT4aのソース領域5側のLDD領域10にボロンが注入され、NチャンネルTFT108

および画素TFT4aのソース領域5およびドレイン領域7にはボロンが注入されない。また、ゲート電極14の下で半導体層12は、リンやボロンが注入されずにTFTのチャンネル領域9となっている。

【0036】その後、図4(f)に示すように、厚み400 nmの SiN_x により層間絶縁膜17を形成し、ゲート絶縁膜13および層間絶縁膜17の所定部分を除去してソース領域5、5aおよびドレイン領域7、7aに達するようにコンタクトホール18を形成する。その上に、厚み500 nmによりソース電極6、ドレイン電極8を形成する。さらに、表示部2には、厚み100 nmのITOからなる画素電極107を形成する。

【0037】このようにして得られたアクティブマトリクス基板1aにおいては、画素TFT4aのソース領域5のみに接したLDD領域10が形成されているので、駆動回路部のTFT108、109を高移動度化しても画素TFT4aのオフ特性を良好なものにすることができた。また、LDD領域10の形成は、駆動回路部3のCMOS形成のための2回の注入工程により行うことができるので、製造工程を増加させずにアクティブマトリクス基板1aを作成することができた。

【0038】なお、以上のように本発明の各実施例1、2について説明したが、本発明はこれに限らず種々の変更が可能である。

【0039】実施例1においては、画素TFT4のソース領域5およびドレイン領域7に接してリンおよびボロンが添加されたLDD領域10、または、実施例2においては、画素TFT4aのソース領域5のみに接してリンおよびボロンが添加されたLDD領域10を形成したが、注入条件を調整することにより高抵抗なオフセット領域を形成してもよい。

【0040】また、上記画素TFT4、4aのソース領域5およびドレイン領域7にボロンを含むイオン化された不純物を注入してNチャンネル型TFTを形成したが、リンを含むイオン化された不純物を注入してPチャンネル型TFTを形成してもよい。

【0041】さらに、LDD領域10を有するTFTは本実施例1、2では画素TFT4、4aに設けたが、LDD領域10または高抵抗領域を有するTFTは、データ出力回路部102および走査回路部103などの周辺回路の構成素子として形成してもよい。

【0042】さらに、本実施例1、2では、ゲート絶縁膜13を SiO_2 膜で形成し、層間絶縁膜17を SiN_x で形成したが、ゲート絶縁膜13および層間絶縁膜17を SiN_x で形成してもよく、また、 $\text{SiO}_2/\text{SiN}_x$ の多層構造膜としてもよい。また、ゲート電極14、ソース電極6およびドレイン電極8はAl-Siなどの合金を用いてもよく、Ti、Ta、Cr、Cuなどの金属を用いてもよい。さらに、画素電極107は ZnO_2 などの透明導電膜を用いてもよい。

【0043】さらに、不純物注入工程に用いられるドーピングマスク15、16、16aはSiO₂などの絶縁膜で形成してもよく、加速電圧、ドーズ量などの注入条件を変更してもよい。また、注入後、不純物の活性化などの工程を追加してもよい。さらに、リンを含むイオン化された不純物とボロンを含むイオン化された不純物の注入工程は順番を入れ換えて行ってもよい。

【0044】さらに、表示部2に、必要に応じて負荷容量や抵抗などの他の構成要素を設けてもよく、駆動回路部3にも他の容量や抵抗などの電気回路を形成してもよい。さらに、表示部2および駆動回路部3に形成された電界効果型トランジスタ108、109、4、4aは、移動度 $\mu \geq 5 \text{ cm}^2/\text{V} \cdot \text{s}$ の多結晶シリコン、単結晶シリコン、サファイアまたはダイヤモンドからなる基板を用いた電界効果型トランジスタに適用することも可能である。

【0045】

【発明の効果】以上のように本発明によれば、高移動度が必要とされる基板部分に高移動度の電界効果型トランジスタを形成すると共に、同一基板内の低オフ電流が必要とされる部分にオフ特性が良好な電界効果型トランジスタを形成することができ、かつ、LDD領域やオフセット領域を、製造工程を増加させることなく形成でき、アクティブマトリクス基板を歩留りよく製造することができる。

【図面の簡単な説明】

【図1】本発明の実施例1であるドライバモノリシック型のアクティブマトリクス基板の断面図である。

【図2】図1の表示部2の1画素部分を示す拡大平面図である。

【図3】(a)～(d)は本発明の実施例1のアクティブマトリクス基板の製造工程を示す断面図である。

【図4】(e)～(f)は本発明の実施例2のアクティブマトリクス基板の製造方法を示す断面図である。

【図5】従来のアクティブマトリクス基板を示す平面図*

*である。

【図6】図5の表示部101の1画素部分を示す拡大平面図である。

【図7】図5のデータ出力回路部102および走査回路部103に用いられている相補回路の部分拡大平面図である。

【図8】図6の電氣的等価回路図である。

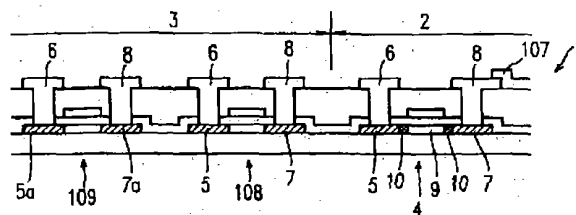
【図9】図7の電氣的等価回路図である。

【図10】従来のLDD構造のTFTを示す断面図である。

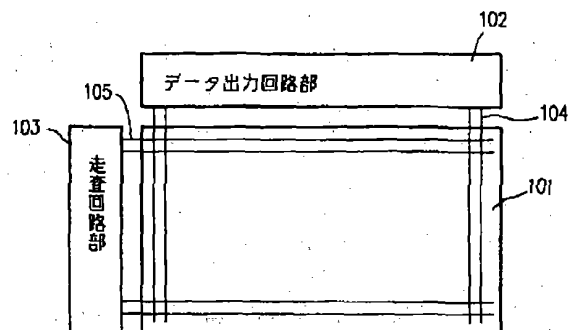
【符号の説明】

- 2 表示部
- 3 駆動回路部
- 4, 4a 画素TFT
- 5, 5a ソース領域
- 6 ソース電極
- 7, 7a ドレイン領域
- 8 ドレイン電極
- 9 チャンネル領域
- 10 LDD領域
- 11 絶縁性基板
- 12 半導体層
- 13 ゲート絶縁膜
- 14 ゲート電極
- 15, 16, 16a ドーピングマスク
- 17 層間絶縁膜
- 18 コンタクトホール
- 102 データ出力回路
- 103 走査回路
- 104 データ信号線
- 105 走査信号線
- 107 画素電極
- 108 Nチャンネル型TFT
- 109 Pチャンネル型TFT

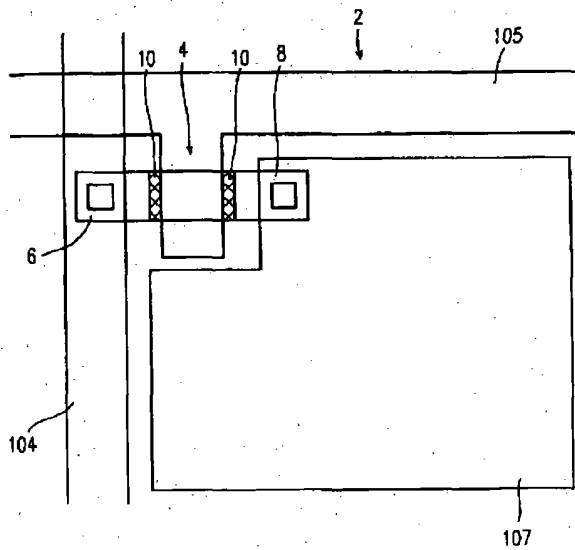
【図1】



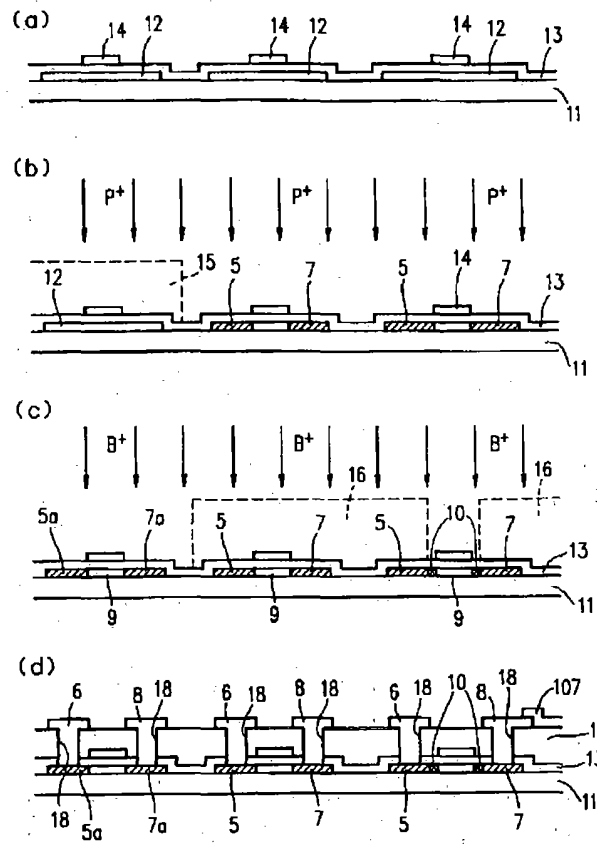
【図5】



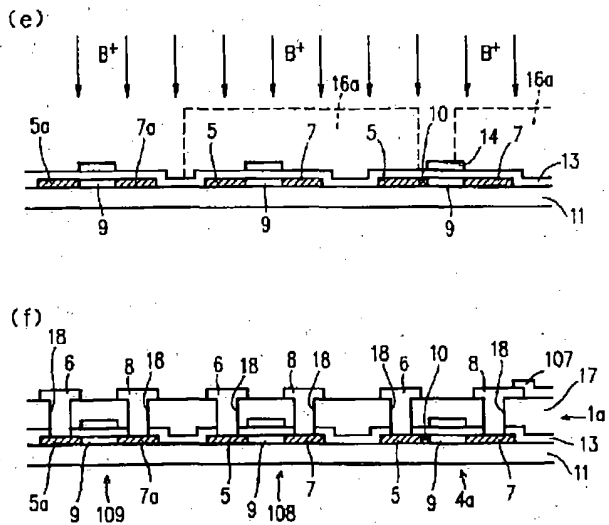
【図2】



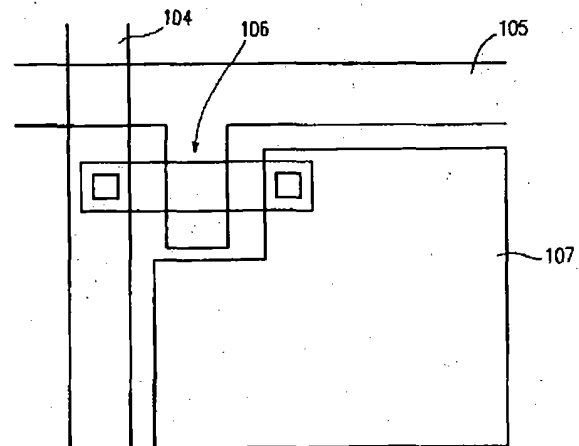
【図3】



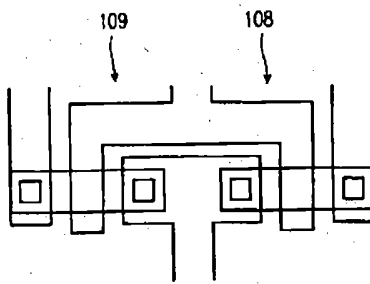
【図4】



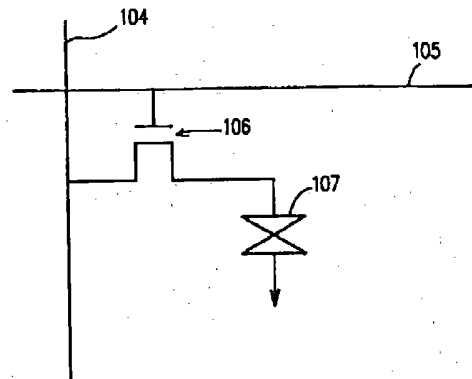
【図6】



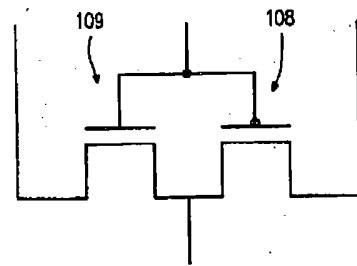
【図7】



【図8】



【図9】



【図10】

